

[Title of the Invention]

DECODING COMPUTATION METHOD AND DECODING COMPUTATION UNIT

[Claims]

1. A decoding computation method for calculating the sum of products of a first matrix, in which coefficients in all columns are left-right symmetrical except for signs, and a second matrix, wherein either of the right and left columns symmetrical in said first matrix are multiplied by said second matrix, and the results of multiplication are added together and parallelly used to subject unmultiplied columns in the first matrix to addition/subtraction.
2. A decoding computation unit, comprising:
 - a multiplier for sequentially reading either the right or left columns from a first matrix table in which columns are left-right symmetrical except for signs, and sequentially reading columns from a register containing the second matrix and multiplying the read columns;
 - an adder for adding up the outputs of said multiplier; and
 - an adder/subtractor for subjecting the outputs of said multiplier to addition/subtraction in accordance with the signs of columns in said first matrix, which are not multiplied by said multiplier.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to an information compression technology, and more particularly to IDCT (Inverse Discrete Cosine Transform) that is used for a decoding computation process for compressed data.

[0002]

[Prior Art]

The information compression technology is regarded as an element technology that is essential to television broadcast, multimedia, and various other digital technologies. DCT (Discrete Cosine Transform) is the most widely used technology especially for data transform coding.

[0003]

FDCT (Forward Discrete Cosine Transform), which is one form of DCT, is a transformation

method, which handles the distorted wave alternating current of the original data as 8×8 pixel (1 block) matrix data during a data coding process, and multiplies the data by a predetermined COS transform coefficient to effect orthogonal conversion from a time-based expression to a frequency-based expression. The DCT coefficient in matrix form, which is derived from the above conversion, is compressed after quantization, variable-length encoding, multiplexing, and other processes, and then transferred out to a transmission path as an encoded output. In a decoding process, in which the compressed data delivered along the transmission path is decompressed, IDCT (Inverse Discrete Cosine Transform) is performed after inverse quantization and other processes. In IDCT effects conversion in which the inverse-quantized DCT coefficient and the inverse matrix of the COS transform coefficient are subjected to sum-of-products computation to reproduce the original data, which is uncoded. Fig. 2 illustrates a conventional decoding computation unit that performs IDCT.

[0004]

When the decoding computation unit 11 shown in Fig. 2 is used for IDCT, the multiplier 14 uses the column selection signal ϕ_2 to select column b_0 of the COS coefficient table 12 and column y_0 of the DCT coefficient register 13. The row selection signal ϕ_1 is then used to handle the selected COS coefficient column and DCT coefficient column so that multiplication is performed on a one-to-one basis with a change applied to each row as in COS coefficient $(a_0, b_0) \times$ DCT coefficient (x_0, y_0) , COS coefficient $(a_1, b_0) \times$ DCT coefficient (x_1, y_0) , and so on to COS coefficient $(a_7, b_0) \times$ DCT coefficient (x_7, y_0) . The multiplication results are then added together by the adder 15. Similarly, the multiplier 14 then sequentially selects columns y_1 through y_7 with the column selection signal ϕ_2 , and subjects the selected column and column b_0 to sum-of-products computation. Therefore, 8 multiplications need to be performed for the matrix computation of one term, that is, (a_0, b_0) in the present example. For the matrix computations of column b_0 and columns y_0 through y_7 , 64 (8×8) multiplications need to be additionally performed. When the same multiplications are to be performed for all of columns b_1 through b_7 in the COS coefficient table 12, the number of multiplications required for the COS coefficient table 12 is 512 ($8 \times 8 \times 8$) per DCT coefficient register.

[0005]

[Problems to Be Solved by the Invention]

The present invention has been made in view of the above circumstances, and it is an object of the present invention to provide a technology for reducing the number of matrix computations performed for IDCT, which formerly required a long period of time, and performing a decoding computation process at an increased speed.

[0006]

[Means for Solving the Problems]

To achieve the above object, the present invention reduces the number of matrix computations by making use of the fact that the columns in the COS coefficient table are left-right symmetrical due to DCT characteristics except for plus and minus signs. More specifically, the present invention provides a decoding computation method for calculating the sum of products of a first matrix, in which all columns are left-right symmetrical except for signs, and a second matrix. In this method, either of the right and left columns symmetrical in the first matrix are multiplied by the second matrix, and the results of multiplication are added together and parallelly used to subject unmultiplied columns in the first matrix to addition/subtraction.

[0007]

When matrix computations are performed on either the right columns or left columns of the first matrix, that is, half the first matrix, the above method calculates all the sums of products of the first matrix and second matrix, thereby reducing the number of computations to half.

[0008]

To produce the above effect, the present invention provides a decoding computation unit, which comprises a multiplier, an adder, and an adder/subtractor. The multiplier sequentially reads either the right or left columns from a first matrix table in which columns are left-right symmetrical except for signs, and sequentially reads columns from a register containing the second matrix to multiply the read columns. The adder adds up the outputs of the multiplier. The adder/subtractor subjects the outputs of the multiplier to addition/subtraction in accordance with the signs of columns in the first matrix, which are not multiplied by the multiplier.

[0009]

[Embodiments of the Invention]

As shown in Fig. 1, the decoding computation unit 1 according to one embodiment of the present invention comprises a COS coefficient table 2, which is the first matrix, a DCT coefficient register 3, which is the second matrix, a multiplier 4 for reading COS coefficients and DCT coefficients, column by column, associating them on a one-to-one basis, row by row, and multiplying them, an adder 5 for adding up the multiplication results produced by the multiplier 4, and an adder/subtractor 6 for receiving the multiplication results and subjecting them to addition/subtraction while the adder 5 performs addition.

[0010]

As for the COS coefficients in the COS coefficient table 2, the COSb columns (the symbol i is hereinafter a value between 0 and 3) and $\text{COSb}_{(7-i)}$ columns are left-right symmetrical except for signs. More specifically, as regards the pairs of left-right symmetrically positioned columns in the COS coefficient table 2, which are columns b_0 and b_7 , columns b_1 and b_6 , columns b_2 and b_4 , and columns b_3 and b_4 , the absolute values of the COS coefficients in the same row of both columns are equal. Therefore, the decoding computation unit 1 simply has to subject columns b_0 through b_3 to multiplication. For multiplications of columns b_4 through b_7 , which differ from columns b_0 through b_3 in sign only, the multiplications of columns b_0 through b_3 can be used as they are. In such an instance, COS coefficient sign control is exercised through the use of a sign control signal for the adder/subtractor 6, which will be described later. As such being the case, only columns b_0 through b_3 in the COS coefficient table 2 are equipped each with a column selection terminal. These columns can be sequentially selected in accordance with the column selection signal ϕ_2 . Since the COS coefficients take predetermined values, they can be stored beforehand in a ROM or the like in tabular form. On the other hand, the DCT coefficients can be stored in a register or the like in tabular form because the next block is successively converted at all times even after completion of one-block (8×8 pixel) conversion.

[0011]

The multiplier 4 multiplies the read COS coefficients by the DCT coefficients, and outputs the multiplication results to the adder 5 and adder/subtractor 6. The adder 5 adds up the results of multiplication of the COSb columns and the columns of the DCT coefficient register 3. Meanwhile, the adder/subtractor 6 performs addition/subtraction on the results of multiplication of the COSb columns, which can be regarded as the same as the $\text{COSb}_{(7-i)}$ columns except for the signs, and the columns of the DCT coefficient register 3 as the results of multiplication of the $\text{COSb}_{(7-i)}$ columns and the columns of the DCT coefficient register 3. If, in this instance, the sign of the $\text{COSb}_{(7-i)}$ coefficients is opposite that of the COSb coefficients, the adder/subtractor performs subtraction to decrease the values derived from $\text{COSb}_{(7-i)}$ coefficient multiplications in accordance with an addition/subtraction selection signal ϕ_3 . If, on the other hand, the sign of the $\text{COSb}_{(7-i)}$ coefficients is the same as that of the COSb coefficients, the adder/subtractor performs addition.

[0012]

The decoding computations performed by the decoding computation unit 1, which is configured as described above, will now be described. First of all, the multiplier 4 selects row a_0 and column b_0 of the COS coefficient table 2 in accordance with the row selection signal ϕ_1 and column selection signal ϕ_2 . As for the DCT coefficient register 3, the multiplier 4 similarly selects row x_0 and column y_0 in accordance with the row selection signal ϕ_1 and column selection signal ϕ_2 .

[0013]

The multiplier 4 then multiplies the selected COS coefficient (a_0, b_0) and DCT coefficient (x_0, y_0), and continues to sequentially multiply the COS coefficients (a_1, b_0), ..., (a_7, b_0) and DCT coefficients (x_1, y_0), ..., (x_7, y_0) while sequentially varying the row selection signal ϕ_1 to associate them on a one-to-one basis.

[0014]

The multiplication results of the coefficients in columns b_0 and y_0 are sequentially entered into the adder 5 and subjected to addition. Further, these multiplication results are also entered into the adder/subtractor 6 as the multiplication results of columns b_7 and y_0 . Addition/subtraction is then performed in accordance with the sign of column b_7 and under control of the addition/subtraction selection signal.

[0015]

The multiplier 4 then sequentially selects columns y_1 through y_7 of the DCT coefficient register 3 in accordance with the column selection signal ϕ_2 and multiplies them by column b_0 . The obtained multiplication results are subjected to addition or subtraction by the adder 5 and adder/subtractor 6 in the same manner as described above.

[0016]

After sum-of-products computations are completely performed on column b_0 of the COS coefficient table 2 and all the columns of the DCT coefficient register 3, sum-of-products computations are similarly performed on columns b_1 through b_3 of the COS coefficient table 2 and columns y_0 through y_7 of the DCT coefficient register 3. Upon termination of computation of column b_3 , the coefficient computations are completed for one block. The addition/subtraction results produced by the adder 5 and adder/subtractor 6 are subjected to various processes such as those for motion compensation and digital-to-analog conversion, and then reproduced as the original data for one block.

[0017]

[Advantages of the Invention]

As described above, the present invention makes use of the characteristics of the COS coefficient table in which the COSb column and $\text{COSb}_{(7-i)}$ column are symmetrical and the absolute values of the COS coefficients are equal except for the signs, and furnishes an adder/subtractor in addition to an adder. Therefore, the present invention halves the number of COS coefficients that are targeted for matrix computations for one block. As a result, the number of multiplications, which take a relatively long period of time, reduces to half. It means that the present invention performs an excellent IDCT high-speed computation

process.

[0018]

If, for instance, the aforementioned prior art is used, the number of multiplications for one block is $8 \times 8 \times 8 = 512$ (8: columns b_0 through b_7 ; 8: rows a_0 through a_7 and rows x_{L_0} through x_7 ; 8: columns y_0 through y_7). The present invention, on the other hand, reduces the number of multiplications for one block to $4 \times 8 \times 8 = 256$ (4: columns b_0 through b_3 ; 8: rows a_0 through a_7 and rows x_0 through x_7 ; 8: columns y_0 through y_7), and is therefore at an advantage in being capable of properly performing a high-speed computation process.

[Brief Description of the Drawings]

Fig. 1 is a block diagram that illustrates an IDCT transform circuit for use with a decoding computation unit according to the present invention.

Fig. 2 is a block diagram that illustrates an IDCT transform circuit for use with a prior art decoding computation unit.

[Description of the Symbols]

- 1: Decoding computation unit
- 2: COS coefficient table
- 3: DCT coefficient register
- 4: Multiplier
- 5: Adder
- 6: Adder/subtractor
- ϕ_1 : Row selection signal
- ϕ_2 : Column selection signal
- ϕ_3 : Addition/subtraction selection signal

Fig. 1

Symmetrical

4: Multiplier

5: Adder

6: Adder/subtractor

Fig. 2

14: Multiplier

15: Adder

[Abstract]

[Problem to Be Solved]

To provide a technology for halving the number of matrix computations performed for IDCT, which formerly required a long period of time, and performing a decoding computation process at an increased speed.

[Solution]

Disclosed is a decoding computation method for calculating the sum of products of a first matrix 2, in which coefficients in all columns are left-right symmetrical except for signs, and a second matrix 3. Either of the right and left columns symmetrical in the first matrix 2 are multiplied by the second matrix 3. When the results of multiplication are added together, they are simultaneously used to subject unmultiplied columns in the first matrix 2 to addition/subtraction.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-308672

(43)Date of publication of application : 17.11.1998

(51)Int.Cl.

H03M 7/30

G06F 17/14

(21)Application number : 09-117245

(71)Applicant : NIPPON SAMUSUN KK

(22)Date of filing : 07.05.1997

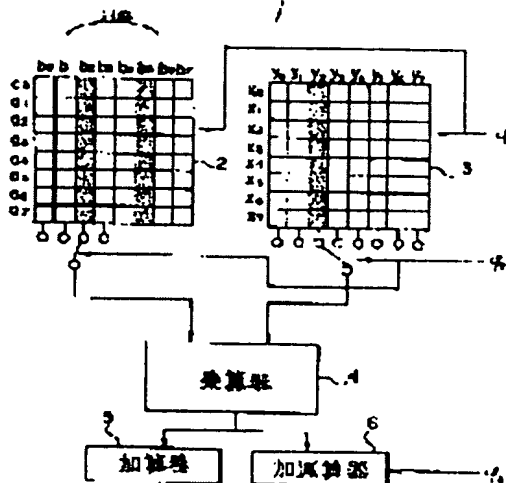
(72)Inventor : ISHIKAWA YUKIO

(54) DECODING OPERATION METHOD AND DECODING COMPUTING ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology for having the number of matrix operations in IDCT which conventionally requires long time and for executing a decoding operation processing at a higher speed.

SOLUTION: In a decoding operation method for product-sum-operating a first matrix 2 where coefficients of respective columns are symmetrical except for signs with a second matrix 3, a column group which is not product-sum-operated in the first matrix 2 is added/subtracted in parallel based on the same product-sum result at the time of product-operation of either symmetrical right or left column group in the first matrix 2 with the second matrix 3 and adding the product result.



(11)特許出願公開番号

特開平10-308672

(43)公開日 平成10年(1998)11月17日

(51) Int.Cl.⁶

識別記号

F I

H O 3 M 7/30

H03M 7/30

A

G O 6 F 17/14

G 0 6 F 15/332

S

審査請求 未請求 請求項の数2 OL (全 4 頁)

(21)出願番号

特願平9-117245

(22) 出願日

平成9年(1997)5月7日

(71)出願人 591021763

日本サムスン株式会社

東京都中央区日本橋浜町2丁目31番1号

(72)発明者 石川 幸夫

東京都中央区日本橋浜町2-31-1 三星電

子ジャパン株式会社内

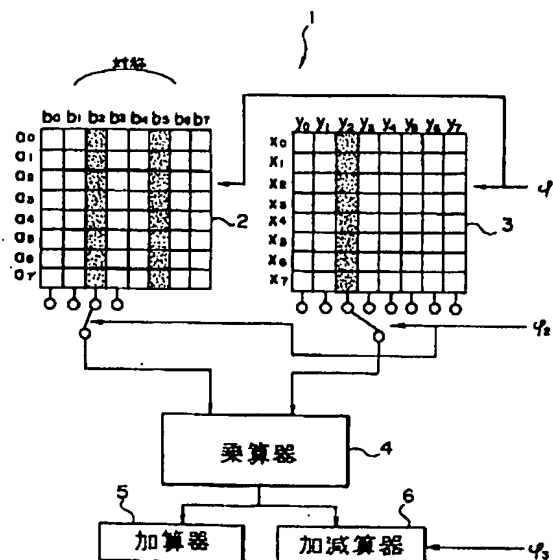
(74)代理人 弁理士 高月 猛

(54) 【発明の名称】 復号演算方法及び復号演算器

(57)【要約】

【課題】 従来長時間を要した I D C T における行列演算の回数を半減し、より高速に復号演算処理を行い得る技術の提供。

【解決手段】 各列の係数が符号を除いて左右対称となっている第1の行列2を第2の行列3と積演算する復号演算方法について、前記第1の行列2で対称になっている左右いずれか一方の列群を前記第2の行列3と積算し、該積算結果を加算する際に、同じ積算結果から前記第1の行列2のうち積算してない列群の加減算も並行して行う。



【特許請求の範囲】

【請求項1】 各列の係数が符号を除いて左右対称となっている第1の行列を第2の行列と積和演算する復号演算方法において、

前記第1の行列で対称になっている左右いずれか一方の列群を前記第2の行列と積算し、該積算結果を加算する際に、同じ積算結果から前記第1の行列中の積算してない列群の加減算も並行して行うことを特徴とする復号演算方法。

【請求項2】 各列が符号を除いて左右対称となっている第1の行列のテーブルから左右いずれか一方の列群を順次読出すと共に、第2の行列の入ったレジスタから各列を順次読出して積算する乗算器と、該乗算器の出力を加算する加算器と、前記乗算器で積算していない前記第1の行列中の列群の符号に従って前記乗算器の出力を加減算する加減算器と、を備えた復号演算器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は情報圧縮技術に関し、特に圧縮データの復号演算処理に利用される逆離散コサイン変換（IDCT）に関する。

【0002】

【従来の技術】情報圧縮技術は、テレビジョン放送やマルチメディア関連を始めとしてデジタル技術に欠かさない要素技術とされている。特にデータの変換符号化技術については離散コサイン変換（DCT：Discrete Cosine Transform）が最も広く利用されている。

【0003】DCTにおいて離散コサイン変換（FDC T：Forward Discrete Cosine Transform）は、データを符号化する過程で元データの歪波交流を 8×8 画素（1ブロック）を行列形態のデータとし、これを予め定められたCOS変換係数と積和することで時間軸表現から周波数軸表現に直交変換するという変換形式である。この変換により得られた行列形態のDCT係数は量子化、可変長符号化、多重化等の過程を経て圧縮され、符号出力として伝送路へ出力される。一方、伝送路からの圧縮データを再生する復号化の過程では、逆量子化等の過程を経て逆離散コサイン変換（IDCT：Inverse Discrete Cosine Transform）が行われる。IDCTは、逆量子化された前記DCT係数を前記COS変換係数の逆行列と積和演算して符号化前の元データを再生する変換である。このIDCTを行う復号演算器の従来例を図2に示す。

【0004】この復号演算器11でIDCTを行う場合、乗算器14は、COS係数のテーブル12の列 b_i とDCT係数のレジスタ13の列 y_i とを列切り替え信号 ϕ_i を通じて選択する。次いで、選択したCOS係数の列とDCT係数の列とを行切り替え信号 ϕ_i によってCOS係数 $(a_i, b_i) \times DCT$ 係数 (x_i, y_i) 、COS係数 $(a_i, b_i) \times DCT$ 係数 $(x_i,$

$y_i)$ 、 \dots 、COS係数 $(a_i, b_i) \times DCT$ 係数 (x_i, y_i) のように1行毎に変化させ一対一で対応させて乗算する。こうして求めた乗算値は加算器15で加算される。そして、乗算器14は同様にして、列切り替え信号 ϕ_i を通じて列 y_i, \dots, y_i を順次選択し列 b_i との積和演算を行う。従って、1つの項、この例でいえば (a_i, b_i) の行列演算を行うには8回の乗算が必要であり、更に列 b_i と列 y_i, \dots, y_i との行列演算には64回 (8×8) の乗算が必要である。そして、COS係数のテーブル12の列 b_i, \dots, b_i の全てについて同様に乗算すると、1つのDCT係数のレジスタ当たりが必要とされるCOS係数のテーブル12との乗算回数は512回 $(8 \times 8 \times 8)$ にもものぼることになる。

【0005】

【発明が解決しようとする課題】こうした事情を背景になされたのが本発明であり、その目的は、従来長時間を要したIDCTにおける行列演算の回数を少なくし、より高速に復号演算処理を行い得る技術を提供することにある。

【0006】

【課題を解決するための手段】この目的を達成すべく本発明は、DCTの性質上、COS係数のテーブルの各列が正負の符号を除けば左右対称になっていることに着目し、これを利用して行列演算の回数を低減するものである。即ち、各列が符号を除いて左右対称となっている第1の行列を第2の行列と積和演算する復号演算方法において、前記第1の行列で対称になっている左右いずれか一方の列群を前記第2の行列と乗算し、該乗算結果を加算する際に、同じ乗算結果から前記第1の行列中の乗算してない列群の加減算も並行して行うことを特徴とする。

【0007】これによれば、第1の行列において左右いずれかの列群のみ、つまり半分の行列演算を行えば、第1の行列と第2の行列との全積和結果を得られるので、演算回数が半減する。

【0008】そして、このための復号演算器として本発明では、各列が符号を除いて左右対称となっている第1の行列のテーブルから左右いずれか一方の列群を順次読出すと共に、第2の行列の入ったレジスタから各列を順次読出して乗算する乗算器と、該乗算器の出力を加算する加算器と、前記乗算器で乗算していない前記第1の行列中の列群の符号に従って前記乗算器の出力を加減算する加減算器と、を備えた復号演算器を提供する。

【0009】

【発明の実施の形態】図1に示すように本例の復号演算器1は、第1の行列であるCOS係数のテーブル2と、第2の行列であるDCT係数のレジスタ3と、COS係数とDCT係数を列単位でそれぞれ読出して行毎に一対一で対応させ乗算する乗算器4と、この乗算器4の乗算値を受けてその加算を行う加算器5と、この加算器5と

同時並行的に該乗算値を受けてその加減算を行う加減算器6と、により構成されている。

【0010】COS係数のテーブル2のCOS係数は、 $\text{COS } b_i$ の列(以下、 $i = 0 \sim 3$)と $\text{COS } b_{i+1}$ の列とが符号を除いて左右対称となっている。即ち、COS係数のテーブル2で左右に位置する列 b_i と列 b_{i+1} 、列 b_i と列 b_{i+1} 、列 b_i と列 b_{i+1} 、列 b_i と列 b_{i+1} は、双方の列で同じ行にあるCOS係数の絶対値が等しくなっている。従って、この復号演算器1では、列 $b_i \sim b_{i+1}$ のみを乗算の対象とすれば十分である。符号のみを異にする列 $b_i \sim b_{i+1}$ の乗算は、この列 $b_i \sim b_{i+1}$ の乗算をそのまま利用することができる。この場合、COS係数の符号制御は、後述する加減算器6に対する符号制御信号で調整するようにしている。このためCOS係数のテーブル2には列 $b_i \sim b_{i+1}$ にのみ列切り替え端子を設けてあり、列切り替え信号 ϕ_i に従ってそれらを順次選択できるようになっている。なお、このCOS係数は決まった値をとることから予めROM等でテーブル状に記憶させておくようにすればよく、またDCT係数は 8×8 画素である1ブロックの変換が終了した後も次のブロックを続けて変換する場合が常であるためレジスタ等でテーブル状に記憶させるようにしておけばよい。

【0011】乗算器4は、読出したCOS係数とDCT係数を乗算し、その乗算結果を加算器5と加減算器6の双方へ出力する。ここで加算器5は、 $\text{COS } b_i$ の列群とDCT係数のレジスタ3の列群との乗算結果を加算する。一方、加減算器6は、符号を除いて $\text{COS } b_{i+1}$ の列群と同視できる前記 $\text{COS } b_i$ の列群とDCT係数のレジスタ3の各列との乗算結果を、 $\text{COS } b_{i+1}$ の列群とDCT係数のレジスタ3の各列との乗算結果として加減算するものである。この際、 $\text{COS } b_{i+1}$ の係数の符号が $\text{COS } b_i$ の係数の符号と反対である場合、加減算器は加減算切り替え信号 ϕ_i によって $\text{COS } b_{i+1}$ の係数の乗算値を減算することになる。また、 $\text{COS } b_{i+1}$ の係数の符号が $\text{COS } b_i$ の係数の符号と同じである場合は加算を行うようになっている。

【0012】そして以上のような構成とした復号演算器1で行う復号化演算は次のようである。先ず乗算器4は、行切り替え信号 ϕ_r と列切り替え信号 ϕ_c を通じてCOS係数のテーブル2の行 a_i と列 b_j を選択する。また、DCT係数のレジスタ3についても同様に、行切り替え信号 ϕ_r と列切り替え信号 ϕ_c を通じて行 x_i と列 y_j を選択する。

【0013】乗算器4は、これにより選択されたCOS係数(a_i, b_j)とDCT係数(x_i, y_j)とを乗算し、続けて行切り替え信号 ϕ_r を順次変化させて各COS係数(a_1, b_j)、 \dots 、(a_i, b_j)と各DCT係数(x_1, y_j)、 \dots 、(x_i, y_j)とを一对一で対応させて順次乗算していく。

【0014】この列 b_j と列 y_j の係数毎の乗算値は順次加算器5に入力されて加算される。またこの乗算値は、列 b_j と列 y_j との乗算値として加減算器6にも入力され、列 b_j の符号に応じて適宜加減算切り替え信号 ϕ_c の制御の下、加減算されることになる。

【0015】そして、乗算器4は、列切り替え信号 ϕ_c を通じてDCT係数のレジスタ3の列を列 y_i から y_j まで順次選択して列 b_j との乗算を行い、その乗算値は加算器5と加減算器6とで上記と同様にして加算或いは減算されることになる。

【0016】COS係数のテーブル2の列 b_j に対しDCT係数のレジスタ3の全ての列との積和演算が終了すると、次はCOS係数のテーブル2の列 $b_i \sim b_{i+1}$ に対しても上記と同様にしてDCT係数のレジスタ3の各列 $y_i \sim y_j$ との積和演算が行われる。そして、列 b_j についての演算が終了すると1ブロック分の係数演算が完了する。加算器5及び加減算器6からの加減算値は、動き補償やD-A変換等の処理を通じて1ブロック分の元データとして再生されることになる。

【0017】

【発明の効果】以上説明したように本発明は、 $\text{COS } b_i$ の列と $\text{COS } b_{i+1}$ の列とが対称とされ、符号を除いてCOS係数の絶対値が同一である、というCOS係数のテーブルの性質を利用し、且つ加算器とは別に加減算器を設けてあるので、1ブロック分の行列演算を行うのに演算対象とするCOS係数を半減することができる。この結果、比較的時間の掛かる乗算の演算回数も半減することになり、IDCTの高速演算処理に優れている。

【0018】例えば、前記した従来技術による1ブロック当たりの乗算回数は、 $8 \times 8 \times 8 = 512$ 回(8:列 $b_i \sim b_{i+1}$ 、8:行 $a_i \sim a_{i+1}$ 、と行 $x_i \sim x_{i+1}$ 、8:列 $y_i \sim y_{i+1}$)となるのに対して、本発明では $4 \times 8 \times 8 = 256$ 回(4:列 $b_i \sim b_{i+1}$ 、8:行 $a_i \sim a_{i+1}$ 、と行 $x_i \sim x_{i+1}$ 、8:列 $y_i \sim y_{i+1}$)となるため高速演算処理に有利である。

【図面の簡単な説明】

【図1】本発明の復号演算器に適用されるIDCT変換回路のブロック図。

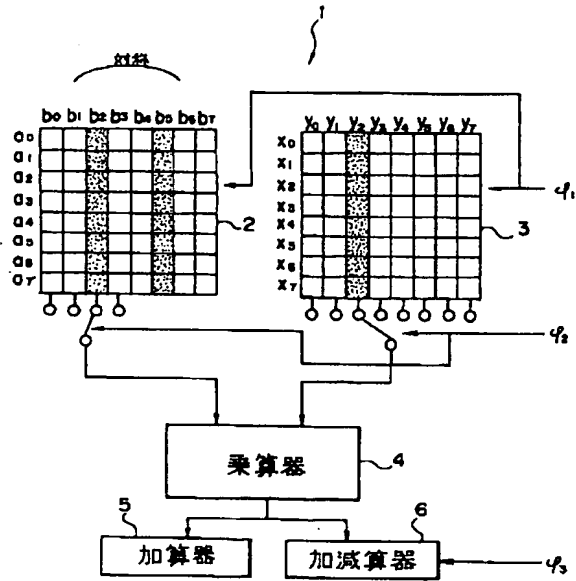
【図2】従来技術の復号演算器に適用されるIDCT変換回路のブロック図。

【符号の説明】

- 1 復号演算器
- 2 COS係数のテーブル
- 3 DCT係数のレジスタ
- 4 乗算器
- 5 加算器
- 6 加減算器
- ϕ_r 行切り替え信号
- ϕ_c 列切り替え信号

φ, 加減算切り替え信号

【図1】



【図2】

